

NEC-5084 ①

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-026135

(43)Date of publication of application : 05.02.1986

(51)Int.Cl.

G06F 7/00

(21)Application number : 59-147135

(71)Applicant : NEC CORP

(22)Date of filing : 16.07.1984

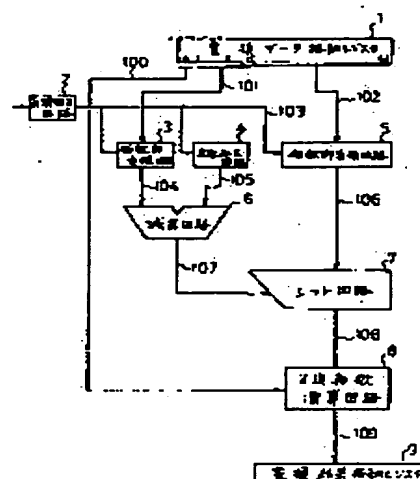
(72)Inventor : SODA YOSHIHISA

(54) CONVERSION CIRCUIT OF FLOATING POINT DATA

(57)Abstract:

PURPOSE: To convert plural kinds of floating point data having different expression formats into fixed point data by shifting mantissa data by the number of bits specified by the output of a subtractor in a shift circuit and calculating and outputting 2's complements.

CONSTITUTION: The input data of 64 bits to be converted are set in a conversion data storing register 1 and an expression specifying circuit 2 is set to "0". An exponential part conversion circuit 3 quadruples an exponential part and outputs the quadrupled result and a constant generating circuit 4 outputs a constant in accordance with the output "0" of the circuit 2. The constant is 4 times the exponential obtained when the decimal point of the floating point data coincides with that of the fixed point data. Therefore, the output 107 of the subtractor 6 indicates the number of bits required for shifting the mantissa in order to make the decimal point position of the floating point data coincide with that of the fixed point data. A mantissa conversion circuit 5 outputs the mantissa in the register 1 as mantissa data 106, so that a shifting circuit 7 shifts the data 106 by the number of bits specified by the output 107 to match the decimal point positions of both the data and a 2's complement calculating circuit 8 calculates the 2's complements of the output 108 to convert the floating point data into the fixed point data.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-26135

⑤ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)2月5日

G 06 F 7/00

1 0 1

7313-5B

審査請求 有 発明の数 1 (全5頁)

⑭ 発明の名称 浮動小数点データ変換回路

⑮ 特 願 昭59-147135

⑯ 出 願 昭59(1984)7月16日

⑰ 発 明 者 曾 田 善 久 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 井出 直孝 外1名

明 細 書

1. 発明の名称

浮動小数点データ変換回路

2. 特許請求の範囲

浮動小数点データ形式の入力データを格納するための変換データ格納レジスタと、前記入力データの浮動小数点数の表現形式を設定するための表現指示回路と、前記変換データ格納レジスタに格納されたデータの指数部をすべて含むビット幅の出力データを入力し前記表現指示回路の指定に応じて指数部の形式変換を行なう指数部変換回路と、前記表現指示回路の出力に対応してあらかじめ定められた定数を発生する定数発生回路と、前記変換データ格納レジスタの仮数部をすべて含むビット幅の出力データを入力し前記表現指示回路の指定に応じて仮数部の形式変換を行なう仮数部変換回路と、前記指数部変換回路の出力と定数発生回路の出力の差を出力する減算回路と、前記仮数部変換回路の出力を前記減算回路の出力によってビットシフトさせるシフト回路とを備えたこと

を特徴とする浮動小数点データ変換回路。

3. 発明の詳細な説明

発明の属する技術分野

本発明は、演算装置において、浮動小数点表現のデータを固定小数点データに変換する場合に使用される浮動小数点データ変換回路に関する。

従来技術

従来この種変換回路は、第4図に示すように、変換すべき浮動小数点形式のデータを変換データ格納レジスタ1に格納し、減算回路6によって変換データ格納レジスタ1に格納されたデータの指数部と定数(浮動小数点データの小数点位置が固定小数点の小数点と同じ位置になるときの指数の値)との差を演算し、シフト回路7は変換データ格納レジスタ1の仮数部を入力して前記減算回路6の出力によって示された桁数だけ桁シフトさせて2進補数演算回路8に供給し、2進補数演算回路8でシフト回路7の出力データの2の補数を演算出力して固定小数点データに変換し、変換結果を変換結果格納レジスタ9に格納している。

浮動小数点データは、符号および指数部と、絶対値で表現された仮数部とから構成され、固定小数点データは、符号と2進補数で表現された数値部とから構成されている。従つて、浮動小数点データから固定小数点データへの変換は、上述のように、浮動小数点データの少数点位置を固定小数点データの少数点位置に合わせるために仮数部をシフトさせた後、2進補数演算を行なえばよい。

しかし、浮動小数点データの形式には、例えば第2図(A)および(B)に示すように、指数部のビット幅が異なる各種の表現形式がある。

第2図(A)に示すように、符号1ビット、指数部7ビット、仮数部56ビットの計64ビットで構成された16進表示の浮動小数点データを固定小数点データに変換する場合は、第4図の定数を0001110として7ビット幅の減算回路6で指数と定数の差を求めて小数点を移動させるべき桁数を求め、その桁数(1桁は4ビットに相当する)だけシフト回路7で変換データ格納レジスタ1の仮数

部データを右シフトさせることによつて小数点の位置を固定小数点データの少数点位置に合わせる。この場合のシフト回路7は、1桁4ビット単位でシフトするシフトレジスタであり、1ビットごとのシフトは必要でない。そしてシフト回路7の出力の2の補数を求めて固定小数点データへの変換を完了する。

しかし、例えば第2図(B)に示すような、符号1ビット、指数部15ビットおよび仮数部48ビット(合計64ビット)で構成される2進表示の浮動小数点データを固定小数点データに変換する場合には、減算回路6のビット幅を15ビットとして定数0000000000110000との差を求め、シフト回路7はビットシフトできるシフト回路として、変換データ格納レジスタ1の仮数部をビット単位でシフトさせるようにする必要がある。従つて、第2図(A)に示すデータ形式の浮動小数点データを固定小数点に変換する装置を同図(B)に示す形式の浮動小数点データを固定小数点データに変換する回路と共用することはできない。

すなわち、従来の浮動小数点データ変換回路を使用した演算装置は、浮動小数点の表現形式の種類数だけの浮動小数点データ変換回路を用意しなければならないという欠点がある。

発明の目的

本発明の目的は、上述の従来の欠点を解決し、表現形式の異なる複数種類の浮動小数点データを固定小数点に変換することが可能な浮動小数点データ変換回路を提供することにある。

発明の構成

本発明の浮動小数点データ変換回路は、浮動小数点データ形式の入力データを格納するための変換データ格納レジスタと、前記入力データの浮動小数点数の表現形式を設定するための表現指示回路と、前記変換データ格納レジスタに格納されたデータの指数部をすべて含むビット幅の出力データを入力し前記表現指示回路の指定に応じて指数部の形式変換を行なう指数部変換回路と、前記表現指示回路の出力に対応してあらかじめ定められた定数を発生する定数発生回路と、前記変換デー

タ格納レジスタの仮数部をすべて含むビット幅の出力データを入力し前記表現指示回路の指定に応じて仮数部の形式変換を行なう仮数部変換回路と、前記指数部変換回路の出力と定数発生回路の出力の差を出力する減算回路と、前記仮数部変換回路の出力を前記減算回路の出力によつてビットシフトさせるシフト回路とを備えたことを特徴とする。

発明の実施例

次に、本発明について、図面を参照して詳細に説明する。

第1図は、本発明の一実施例を示すブロック図である。すなわち、浮動小数点データ形式の入力データを格納するための変換データ格納レジスタ1と、前記入力データの浮動小数点数の表現形式を設定するための表現指示回路2と、前記変換データ格納レジスタ1に格納されたデータの指数部をすべて含むビット幅(ビット1~15の15ビット幅)の出力データ101を入力し前記表現指示回路2の出力103の指示によつて指数部の形式変換

を行なう指数部変換回路3と、前記表現指示回路2の出力103に対応してあらかじめ定められた定数を発生する定数発生回路4と、前記変換データ格納レジスタ1の仮数部をすべて含むビット幅（ビット8～63の56ビット）の出力データ102を入力し前記表現指示回路2の出力に応じて仮数部の形式変換を行なう仮数部変換回路5と、前記指数部変換回路3の出力と定数発生回路4の出力の差を出力する減算回路6と、前記仮数部変換回路5の出力106を前記減算回路6の出力107によつてビットシフトさせるシフト回路7と、シフト回路7の出力108の2の補数演算により固定小数点形式のデータに変換出力する2進補数演算回路8と、その出力データ109を格納する変換結果格納レジスタ9とから構成する。本実施例の浮動小数点データ変換回路は、表現指示回路2を“0”にセットすることによつて第2図(A)に示す表現形式の浮動小数点データを固定小数点データに変換し、表現指示回路2を“1”にセットすることによつて同図(B)に示すような表現形式のデー

タを固定小数点データに変換出力することが可能である。

次に本実施例の動作について説明する。先ず、第2図(A)に示す表現形式の浮動小数点データを固定小数点データに変換する場合は、変換すべき64ビットの入力データ(OP_{1,64})を変換データ格納レジスタ1にセットし、表現指示回路2を“0”にセットする。変換データ格納レジスタ1のビット1～15の15ビット幅の出力データ101中のビット1～7の7ビット(OP_{1,7})が指数部である。すなわち、出力データ101は指数部をすべて含むビット幅である。指数部変換回路3は、表現指示回路2の出力103が“0”のときは、第3図(A)に示すように、第1ビットから第6ビットまでを00000とし、第7ビットから第13ビットまでの7ビットに前記出力データ101中のOP_{1,7}を出力し、第14ビットと15ビットを00とした指数データ104を出力する。すなわち指数部を4倍して出力する。

定数発生回路4は、表現指示回路2の出力

“0”に対応して、第2図(B)に示すように15ビットの定数000 0000 0011 1000を出力する。この定数は、浮動小数点データの小数点が固定小数点データの小数点と同じ位置になるときの指数の4倍である（ビット数であつて桁数ではない）。従つて、減算回路6の出力107は、浮動小数点データの少数点位置を固定小数点データの少数点位置に合わせるために仮数部をシフトさせるべきビット数（桁数ではない）を示す。

一方、仮数部変換回路5は第2図(C)に示すように、表現指示回路2の出力“0”によつて変換データ格納レジスタ1の仮数部（ビット8以下の56ビット(OP_{8,56}))を仮数部データ106として出力しているから、これをシフト回路7で減算回路6の出力107の示すビット数だけビットシフトさせることによつて固定小数点の小数点位置に合わせることができる。なお、変換された固定小数点数の小数点以下の数は、切り捨てられる。

次に、2進補数演算回路8でシフト出力108の2の補数を演算して固定小数点データへの変換を

行なう。2の補数演算は、符号ビット100の符号が正のときは、入力データAをそのまま出力し、符号ビット100の符号が負のときは $\bar{A} + 1$ を演算出力することにより容易に行なうことができる。

次に、第2図(B)に示すような表現形式の浮動小数点データを固定小数点に変換する場合は、表現指示回路2を“1”にセットし、指数部変換回路3は、第3図(A)に示すように、変換データ格納レジスタ1の出力データ101(OP_{1,15})をそのまま指数データ104として出力する。定数発生回路4は同図(B)に示すように、表現指示回路2の出力“1”に対応する定数000 0000 001 10000を発生して減算回路6に供給し、減算回路6は指数データ104と定数出力105の差を減算出力107として出力する。これは、浮動小数点データの少数点を固定小数点データの少数点位置に合わせるために仮数部データ106をシフトさせるべきビット数を示す。

一方、仮数部変換回路5は、第3図(C)に示

すように、表現指示回路2の出力が“1”のときは、ビット0～7の8ビットを0000 0000とし、ビット9～63に、レジスタ1の出力データ102中の仮数部(OP₁₀₂)を挿入した56ビットのデータに変換した仮数部データ106を出力する。

従つて、シフト回路7で仮数部データ106を減算出力107の示すビット数だけビットシフトさせて、2進補数演算回路8で2の補数演算出力することにより、固定小数点データに変換することができる。

すなわち、本実施例は、表現指示回路2を“0”または“1”に設定することにより、第2図(A)または(B)に示すような2種類の表現形式の浮動小数点データを固定小数点データに変換することが可能であるという効果がある。

発明の効果

以上のように、本発明においては、表現指示回路に浮動小数点データの表現形式を設定し、該表現指示回路の指示に従つて指数部変換回路および仮数部変換回路でそれぞれ指数部および仮数部の

形式変換を行ない、また定数発生回路は前記表現指示回路の出力に対応した定数を出力し、減算回路で前記指数部変換回路の出力する指数データと前記定数発生回路の出力する定数との差を演算出力し、シフト回路で前記仮数部発生回路の出力する仮数部データを前記減算回路の出力の示すビット数だけビットシフトさせ、これを2進補数演算回路で2の補数を演算出力するように構成したから、同じ演算回路で、複数種類の表現形式の浮動小数点データを固定小数点データに変換することが可能となるという効果がある。

4. 図面の簡単な説明

第1図は本発明の一実施例を示すブロック図、第2図は浮動小数点データの表現形式の例を示す図、第3図は上記実施例における各部データを示す図、第4図は従来の浮動小数点データ変換回路の一例を示すブロック図である。

図において、1：変換データ格納レジスタ、2：表現指示回路、3：指数部変換回路、4：定数発生回路、5：仮数部変換回路、6：減算回路、7：シフト回路、8：2進補数演算回路、9：変換結果格納レジスタ、100：符号ビット、101、102：レジスタ1の出力データ、103：表現指示回路の出力、104：指数データ、105：定数出力、106：仮数部データ、107：減算出力、108：シフト出力、109：固定小数点データ。

路、7：シフト回路、8：2進補数演算回路、9：変換結果格納レジスタ、100：符号ビット、101、102：レジスタ1の出力データ、103：表現指示回路の出力、104：指数データ、105：定数出力、106：仮数部データ、107：減算出力、108：シフト出力、109：固定小数点データ。

出願人 日本電気株式会社
代理人 弁理士 佐田俊宗

図1

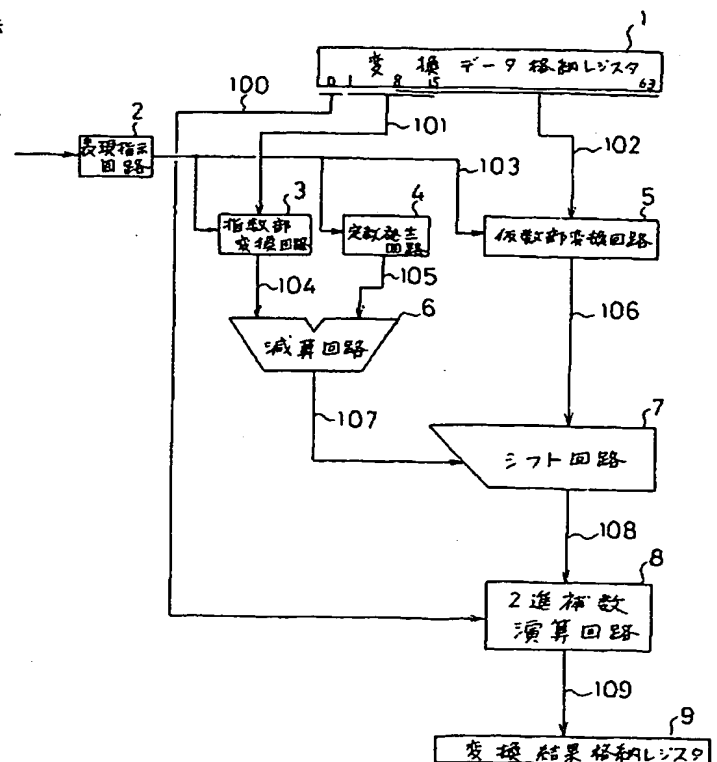


図2

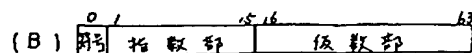
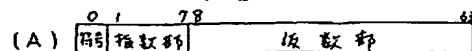


図3

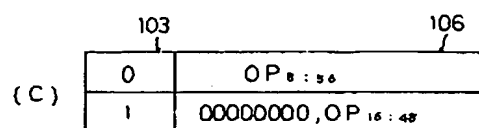
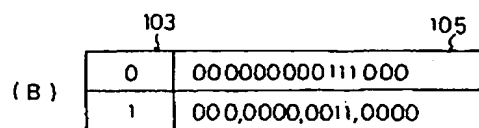
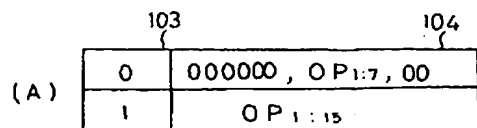


図4

